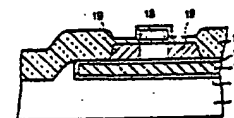
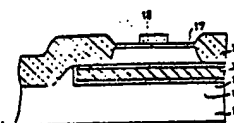
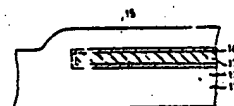
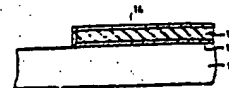


(54) SEMICONDUCTOR DEVICE

(11) 63-258063 (A) (43) 25.10.1988 (19) JP
(21) Appl. No. 62-91024 (22) 15.4.1987
(71) NEC CORP (72) KUNIHICO KASAMA
(51) Int. Cl. H01L27/12, H01L29/78

PURPOSE: To suppress leakage currents in the vicinity of an interface of a buried insulating layer for the production of a semiconductor device with its radiation resisting feature greatly enhanced by a method wherein a thick insulating layer is composed of a silicon thermal oxide film provided on the lower surface of a silicon crystal layer, a silicon oxide film formed under said silicon thermal oxide film by chemical vapor growth, and a phosphorus glass.

CONSTITUTION: A silicon crystal layer 15 is grown on a thick insulating layer for an SOI-structure semiconductor device and is mounted with a semiconductor element. The thick insulating layer is built of a silicon thermal oxide film 14 formed under the silicon crystal layer 15 in contact therewith, and one or more out of a line-up of a silicon oxide film, phosphorus glass layer, boron-phosphorus glass layer, and silicon nitride film, all formed just under the silicon oxide film 14 by chemical vapor growth. For example, after the formation of a thermal oxide film 12 on an Si substrate 11, a CVD phosphorus glass layer 13 is formed. Next, the insulating films 12 and 13 are subjected to patterning, their surfaces are thermally oxidized for conversion into an Si thermal oxide film 14, and then an Si crystal layer 15 is epitaxially grown. After this, a dielectric isolation film 16, gate oxide film 17, gate electrode 18, and source-drain regions 19 are formed.



257/357

③ 公開特許公報 (A) 昭63-258063

④ Int. Cl.⁴ 識別記号 庁内整理番号 ⑤ 公開 昭和63年(1988)10月25日
 H 01 L 27/12 3 1 1 7514-5F
 29/78 F-8422-5F 審査請求 未請求 発明の数 1 (全5頁)

⑥ 発明の名称 半導体装置

⑦ 特 願 昭62-91024

⑧ 出 願 昭62(1987)4月15日

⑨ 発 明 者 笠 間 邦 彦 東京都港区芝5丁目33番1号 日本電気株式会社
 ⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑪ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 厚い絶縁膜層上にシリコン結晶を成長させ、ここに半導体素子を形成したSOI構造の半導体装置において、前記厚い絶縁膜層を、前記シリコン結晶に接してその下側に設けたシリコン熱酸化膜と、このシリコン酸化膜の下側に夫々化学気相成長によって形成したシリコン酸化膜、リンガラス、ボロンリンガラス、シリコン窒化膜の少なくとも一層とで構成したことを特徴とする半導体装置。

(2) 厚い絶縁膜層をシリコン半導体基板の少なくとも一部に形成してなる特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置に関し、特に耐放射線性の優れたSOI (Silicon on Insulator) 構造の半

導体装置に関する。

(従来の技術)

近年、半導体集積回路を宇宙空間、原子炉周辺などで使用する機会が増加しつつある。このような厳しい環境内におかれた半導体集積回路は種々の放射線損傷を受け回路の誤動作および破壊を生じ、システムの機能低下を受けやすい。したがって、放射線に強い半導体集積回路の開発が望まれる。

集積回路が受ける放射線損傷は2つのタイプ、すなわちトータルドーズによる損傷とシングルイベントによる損傷に分類される。

トータルドーズによる損傷は損傷が蓄積し、最後に破壊に至るもので主な原因はシリコン酸化膜等の絶縁膜中への正電荷の蓄積と絶縁膜/シリコン基板界面における界面単位密度の増大である。

一方、シングルイベントによる損傷はソフトエラー (メモリの反転、消去)、ラッチアップ等一過性の損傷で、シリコン基板内に入射したα線や重イオンが多量の電子-正孔対を発生するために

起る。

上記膜層の中で耐シングルイベント性向上のためにSOI構造が考えられる。すなわち、薄い表面シリコン結晶層に重イオンが入射しても、このシリコン表面層で発生する電子-正孔対は小さく、したがってソフトエラーは起こり難くなる。さらに、相補型電界トランジスタ(CMOSトランジスタ)のnおよびpチャネルトランジスタのチャネル領域を、SOI構造により互いに分離できるのでラッチアップを完全になくすことも可能となる。

従来、上記SOI構造はサファイア等の厚い絶縁膜基板上にシリコン結晶を成長させたり、あるいは厚い(数100nm~数μm)シリコン熱酸化膜あるいは化学気相成長したシリコン酸化膜上にシリコン結晶を成長させることにより形成している。

例えば、第3図のように、シリコン半導体基板31に形成した埋込絶縁膜層32上にシリコン結晶を成長させるとともに、素子分離膜33、ゲ-

ンジスタの機能が損なわれるおそれがある。

本発明は埋込絶縁膜層界面近傍を流れるリーク電流を抑制して耐放射線性を大幅に向上できる半導体装置を提供することを目的としている。

(問題点を解決するための手段)

本発明の半導体装置は、厚い絶縁膜層上にシリコン結晶を成長させ、ここに半導体素子を形成したSOI構造の半導体装置において、厚い絶縁膜層を、シリコン結晶に接してその下側に設けたシリコン熱酸化膜と、このシリコン酸化膜の下側に夫々化学気相成長によって形成したシリコン酸化膜、リンガラス、ボロンリンガラス、シリコン窒化膜の少なくとも一層とで構成している。

即ち、埋込絶縁膜層の一部を構成する化学気相成長によって形成した膜は、シリコン熱酸化膜よりも大きな電子及び正孔捕捉確率を有する。特にリン及びボロンの膜中濃度が増加すると、この捕捉確率は著しく増大する。そして、捕捉された電子と正孔は互いに電荷を打ち消すため、蓄積される電荷量は大幅に減少する。一方、シリコン熱酸

化シリコン酸化膜34を形成し、更にゲートポリシリコン電極35、ソース・ドレイン領域36を形成してSOI構造を構成している。

(発明が解決しようとする問題点)

上述した厚い絶縁膜あるいは基板より形成したSOI構造は耐シングルイベント性は向上するが、耐トータルドーズ性に関しては、以下に示す新たな問題を生じる。

すなわち、厚い絶縁膜からなる埋込層に電離放射線が入射すると膜厚に比例して多量の電子-正孔対を生じる。その際、移動度の大きい電子は容易に絶縁膜から散逸するが、正孔は膜中に残され正電荷を蓄積する。

また、正孔の一部は表面シリコン層/絶縁膜層界面に達し、界面単位を発生する。

その結果、第3図に示すように埋込絶縁膜層32中に蓄積した正電荷38、表面シリコン層/埋込絶縁膜層界面に発生した界面単位37により、上部のMOSTランジスタが劣化する前に埋込絶縁膜層界面に大量のリーク電流が流れ、上部トラ

化膜は、シリコン結晶層と化学気相成長した膜間の初期の界面単位密度を低減させ、かつ自身に形成される高濃度の電子及び正孔捕捉中心によって化学気相成長膜からシリコン結晶に向かう正孔をここで捕捉して界面単位発生量を減少させる。

また、化学気相成長膜を多層に構成すると、各膜間の界面にも多量の電子及び正孔捕捉中心が生成され、絶縁膜層中の正電荷蓄積量を更に減少する。

(実施例)

次に、本発明を図面を参照して説明する。

(実施例1)

第1図(a)乃至第1図(f)は本発明の一実施例を工程順に示す断面図であり、ここでは、SOI基板の表面シリコン結晶層にnチャネルMOSTランジスタを形成する場合に本発明を適用した例を示している。

第1図(a)に示すように、(100)の面方位を有するシリコン基板11に膜厚10~100nmのシリコン熱酸化膜12を形成した後、化学気相

成長したリンガラス層13を数百nm〜数μm堆積させる。あるいは化学気相成長したシリコン酸化膜、ボロシリングラスを堆積してもよい。

次に、上記絶縁膜12、13を公知のフォトリソストおよび蝕刻技術を用いてパターニングする。その結果を第1図(b)に示す。

次に第1図(c)に示すように、化学気相成長したリンガラス層13を酸素雰囲気中で表面を熱酸化し、膜厚10〜100nmのシリコン熱酸化膜14にする。

さらに、第1図(d)に示すように、シリコン基板面の露出している部分を種として数百nm〜数μmの厚さのシリコン結晶層15をエピタキシャル成長させる。このエピタキシャル成長は例えばアモルファスシリコンをウェハ全面に堆積し、その後500〜600℃の低温で固相エピタキシャル成長させることによって行うことができる。この結果、前記絶縁膜12、13、14は埋込絶縁膜層として構成される。

以下、第1図(e)に示すように、埋込絶縁膜

層に達するまで表面シリコン結晶層15を熱酸化して素子分離絶縁膜16を形成した後、ゲートシリコン酸化膜17を形成し、さらにゲートポリシリコン電極18を公知のフォトリソスト、蝕刻技術により形成する。ここで、素子分離をトレンチ分離構造によって行ってもよい。

さらに、第1図(f)に示すように、ゲートポリシリコン電極18を側面酸化を行った後、酸素等のイオン注入によりソース・ドレイン領域19を形成する。

この構成によれば、MOSトランジスタに電離放射線が入射しても、SOI構造の埋込絶縁膜層に蓄積される正電荷量及び表面シリコン結晶層／埋込絶縁膜層界面に発生する界面単位量はともに少なく、埋込絶縁膜層界面近傍を流れるリーク電流を大幅に低減することができ、SOI構造の本来の性能である高い耐シングルイベント性とあわせて耐放射性を大幅に向上させることができる。

(実施例2)

第2図(a)乃至第2図(c)は本発明の第2

実施例を工程順に示す断面図であり、ここでは実施例1と同様SOI基板上の表面シリコン層中にMOSトランジスタを形成する場合に本発明を適用した例の、特に埋込絶縁膜層の形成についての図示している。

まず、第2図(a)に示すように、(100)の面方位を有するシリコン基板21に、膜厚10〜100nmのシリコン熱酸化膜22を形成した後、化学気相成長したボロシリングラス層23を数百nm〜数μm堆積し、更にその上に化学気相成長したシリコン窒化膜24を数百nm〜数μm堆積する。

次に、上記絶縁膜上に10〜100nmのポリシリコン膜を化学気相成長により堆積し、更に酸素雰囲気中で上記ポリシリコン膜を熱酸化し、シリコン熱酸化膜25を形成する。その結果を第2図(b)に示す。

次に、第2図(c)に示すように、公知のフォトリソグラフィ技術により前記各膜をパターニングして、エピタキシャル成長のための種としてシ

リコン基板21の表面を露出する。

以後は実施例1と同様、シリコン結晶をエピタキシャル成長し、酸化処理、ゲートポリシリコン電極及びソース・ドレイン領域を形成してSOI構造を形成し、表面シリコン結晶層にMOSトランジスタを製造する。

この実施例2においても、前記実施例1と同様に、SOI構造の埋込絶縁膜層に蓄積される正電荷量及び表面シリコン結晶層／埋込絶縁膜層界面に発生する界面単位量をともに少なくし、埋込絶縁膜層界面近傍を流れるリーク電流を大幅に低減することができ、耐放射性を大幅に向上させることができる。

ここで、化学気相成長により形成した膜は適宜に組合わせを変えて構成してもよい。また、前記各実施例はnチャンネルMOSトランジスタに適用しているが、他の半導体集積回路についても同様に適用できる。

(発明の効果)

以上説明したように本発明は、SOI構造を構

は、そのシリコン基板とシリコン熱酸化膜との間にシリコン熱酸化膜と、このシリコン熱酸化膜の下側に夫々化学気相成長によって形成したシリコン酸化膜、リンガラス、ボロンリンガラス、シリコン窒化膜、少なくとも一層とで構成しているの、埋込絶縁膜層界面近傍を流れるリーク電流を大幅に抑制し、耐放射線性を大幅に向上できる。

4. 図面の簡単な説明

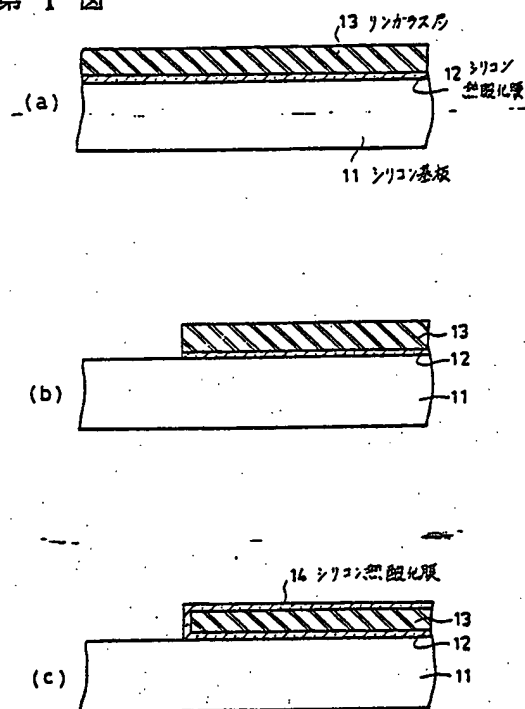
第1図(a)乃至第1図(f)は本発明の第1実施例を製造工程順に示す断面図、第2図(a)乃至第2図(c)は本発明の第2実施例を製造工程順に示す断面図、第3図は従来の問題を説明するための断面図である。

- 11…シリコン基板、12…シリコン熱酸化膜、13…リンガラス層、14…シリコン熱酸化膜、15…シリコン結晶層、16…素子分離絶縁膜、17…ゲートシリコン酸化膜、18…ゲートポリシリコン電極、19…ソース・ドレイン領域、21…シリコン基板、22…シリコン熱酸化膜、2

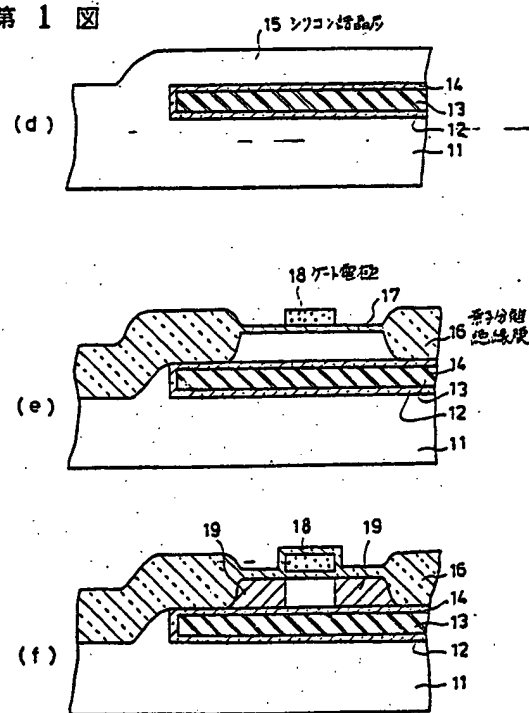
代理人 弁理士 鈴木 章



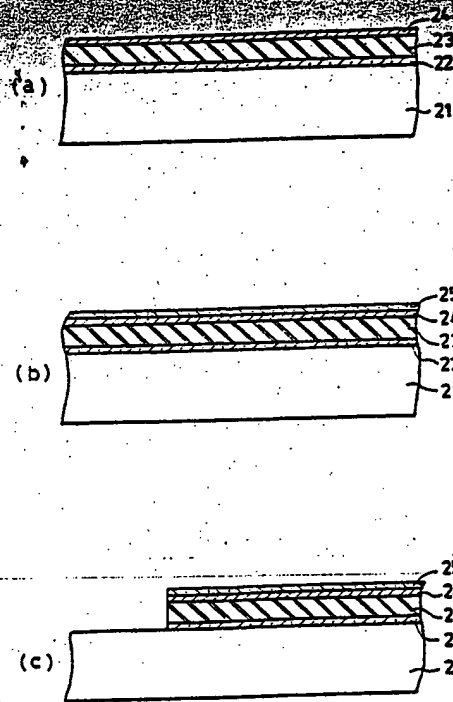
第1図



第1図



第 2 圖



第 3 圖

